

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06216346 A**

(43) Date of publication of application: **05.08.94**

(51) Int. Cl **H01L 27/11**
G11C 11/413
H01L 27/04
H01L 27/10

(21) Application number: **05289514**
(22) Date of filing: **18.11.93**
(30) Priority: **30.11.92 JP 04343396**

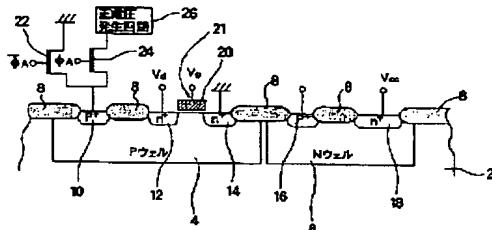
(71) Applicant: **SONY CORP**
(72) Inventor: **SASAKI MASAYOSHI**
ICHIKAWA TSUTOMU

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To provide a semiconductor device capable of using a low power supply voltage and reducing a standby current, and ensure the stability of a memory cell at the time of operation and power consumption reduction at the time of standby.

CONSTITUTION: A P well is shallowly forward biased to the diffusion layer 12 of a transistor for a cell which is formed in the P well 4. Practically, the potential of the P well 4 is set to be 0.1-0.4V higher than the earth potential, or the potential of an N well 6 is set to be 0.1-0.4V lower than the earth potential. In other case, a structure having a negative voltage generating circuit and a switching element can be used, by which the potential of the P well 4 is set as the earthed potential at the time of operation, and negatively biased at the time of standby. The negative potential can be generated also by using a built-in potential.



COPYRIGHT: (C)1994,JPO&Japio

特開平6-216346

(43)公開日 平成6年(1994)8月5日

(51) Int.Cl.⁵
H 0 1 L 27/11
G 1 1 C 11/413
H 0 1 L 27/04

別記号 庁内整理番号

G 8427-4M
7210-4M
6866-51

F I

技術表示箇所

審査請求 未請求 請求項の数11 OL (全 17 頁) 最終頁に続く

(21)出願番号 特願平5-289514
(22)出願日 平成5年(1993)11月18日
(31)優先権主張番号 特願平4-343396
(32)優先日 平4(1992)11月30日
(33)優先権主張国 日本(JP)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72)発明者 佐々木 正義
東京都品川区北品川6丁目7番35号 ソニー
一株式会社内

(72)発明者 市川 勉
東京都品川区北品川6丁目7番35号 ソニー
一株式会社内

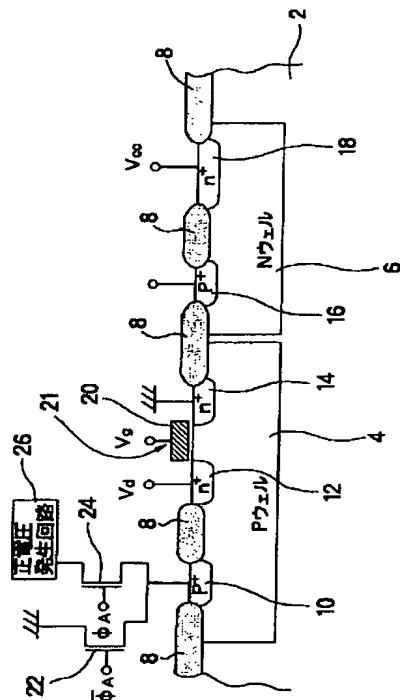
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置

(57) 【要約】

【目的】 電源電圧の低電圧化を図ると共に、低スタンバイ電流化を図ることが可能な半導体装置を提供し、メモリセルの動作時の安定性確保と、スタンバイ時の消費電力の低減という二つの課題を同時に達成すること。

【構成】 Pウェル4内に形成されたセル用トランジスタの拡散層1,2に対して、Pウェル4を浅く順方向バイアスとしている。具体的には、Pウェル4の電位を接地電位より0.1～0.4V高くバイアスしたり、N型ウェルの電位を接地電位より0.1～0.4V低くバイアスすれば良い。また、Pウェル4の電位を、動作時には接地電位とし、スタンバイ時には負電位にバイアスする負電位発生回路5,7および切り替え素子5,5',5,6'を有する構造とすることもできる。負電位は、ビルトインポテンシャルを利用して発生させることもできる。



【特許請求の範囲】

【請求項1】 基板側拡散層内に形成された素子側拡散層に対して、基板側拡散層を浅く順方向バイアスとしている半導体装置。

【請求項2】 基板側拡散層であるP型ウェルの電位を接地電位より0.1~0.4V高くバイアスしてある請求項1に記載の半導体装置。

【請求項3】 基板側拡散層であるN型ウェルの電位を接地電位より0.1~0.4V低くバイアスしてある請求項1に記載の半導体装置。

【請求項4】 バイアスされた基板側拡散層内にメモリセルアレイが形成され、基板側拡散層の電位を、スタンバイ時には、素子側拡散層と同電位または逆バイアスに切り換える切り替え手段を有する請求項1~3のいずれかに記載の半導体装置。

【請求項5】 基板側拡散層内に、素子側拡散層が形成された半導体装置において、基板側拡散層の電位を、動作時には接地電位とし、スタンバイ時には負電位にバイアスする負電位発生手段および切り替え手段を有する半導体装置。

【請求項6】 上記負電位発生手段は、ビルトインポテンシャルを利用して負電位を発生することを特徴とする請求項5に記載の半導体装置。

【請求項7】 基板側拡散層は、所定電位にバイアスされた第1の導電領域と、この第1の導電領域中に形成され、電位が固定されていない第2の導電領域とから成り、第2の導電領域内に素子側拡散層が形成してある半導体装置。

【請求項8】 上記第2の導電領域に対して、電位を固定する状態と、電位を固定しない浮遊電位の状態とに切り換える切り替え手段を有する請求項7に記載の半導体装置。

【請求項9】 上記素子側拡散層が、SRAMのメモリセル用拡散層である請求項5~8のいずれかに記載の半

$$V_{ccoin.} = V_{thw} + \gamma_w \cdot V_{thd}$$

【0004】上記式(1)中、 V_{thw} はワードトランジスタのしきい値電圧を示し、 V_{thd} は駆動トランジスタのしきい値電圧を示す。また、 γ_w は、ワードトランジスタの基板バイアス係数を示す。上記式(1)から理解されるように、メモリセルの動作電圧の低減には、トランジスタのしきい値電圧 V_{th} の低下が直接的に有効である。

【0005】一方では、回路の消費電力を低減したいという要求も重要であり、CMOS回路のスイッチング電流やスタンバイ状態での電流(オフ電流)も極力低く抑えなければならない。SRAMにおける低スタンバイ電流の要求はその一つの顕著な例である。

【0006】しかし、トランジスタの低しきい値 V_{th} 電

$$S = (KT/q) \times \ln(10(1 + C_d/C_i)) \quad \dots (2)$$

【0009】上記式(2)中、 k はボルツマン定数、★ ★ T は絶対温度、 C_i はゲート酸化膜容量、 C_d は基板容

*導体装置。

【請求項10】 基板側拡散層の電位を、動作時には接地電位とし、スタンバイ時には負電圧にバイアスするための切り替え手段が、動作時において、ゲート電極に電源電圧以上の電圧が印加されたトランジスタにより接地電位に接続されるトランジスタを有することを特徴とする請求項5に記載の半導体装置。

【請求項11】 上記ゲート電極に少なくとも動作時に上記ゲート電極の電位が電源電圧になるまで上記ゲート電極と電源間に電流を逃がすための電流パスが設けられたことを特徴とする請求項10に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、たとえばSRAMなどのメモリ用として用いられる半導体装置に係り、さらに詳しくは、電源電圧の低電圧化、トランジスタの信頼性向上および低消費電力化を図ることができる半導体装置に関する。

【0002】

【従来の技術】 集積回路の低電圧化が進むに従い、回路動作のマージンが小さくなって行く。特にメモリの場合には、記憶データの安定な保持、あるいは読み出しが求められるので、低電圧に対応した回路、デバイス技術が重要になる。対象とするのは基本的に論理回路であるので、低電圧化のためには回路の論理しきい値を低くすることになる。これはつまりトランジスタのしきい値電圧 V_{th} を低くすることである。たとえばSRAMメモリセルが安定に読み出し動作できる最低電圧 $V_{ccoin.}$ は、メモリセルを構成する二種のトランジスタのしきい値電圧 V_{th} によって下記式(1)のように表わされる。

【0003】

【数1】

$$\dots (1)$$

※圧化と、オフ電流の低減とは、残念ながら相反する関係にある。MOSトランジスタのオフ電流は、サブレッシュホールド特性の傾き S と、しきい値電圧 V_{th} とで決定され、小さな S と高い V_{th} に成れば、オフ電流を小さくできる。しかしながら、前述したように、低電圧化にしたがって V_{th} は低くして行かなければならず、また S を小さくすること(スイッチング特性を急峻にする)にも限界がある。

【0007】サブレッシュホールド特性の傾き S は、下記の式(2)で表わすことができる。

【0008】

【数2】

量である。

【0010】上記数式(2)から理解されるように、Sは、ゲート酸化膜容量C₁を大きくすること、基板容量C_dを小さくすることで小さくできる。実際には、Sの値は、80～90mV/decade程度が一般的である。そこで、Sをさらに小さくしようとする試みとして、SOI(Silicon on Insulator)技術を用い基板容量C_dを無視できるレベルにする方法、低温動作させる方法などが提案されているが、現時点では、どちらも一般的に採用できる状況には至っていない。

【0011】

【発明が解決しようとする課題】つまり、トランジスタの低V_{th}化と、オフ電流の低減という相反する関係を如何に現実的に折り合いをつけて行くかということがLSIの低電圧化(高集積化も自動的に含まれる)の課題となつておる、現在はSの値を小さくするということが一つの傾向となつてゐる。

【0012】具体的に64Mb SRAMでは、電源電圧2.2V以下の動作の保証をしなければならず、この場合トランジスタのV_{th}は0.5V程度に抑えなければならない。一方、1セル当たりのトランジスタのオフ電流は、2～3fA程度にしなければならない。オフからオンまでの電流の変化は8桁は必要であるが、現状のS値は、約90mV/decadeであり、このままでは低スタンバイ電流化はあきらめざるを得ない。

【0013】本発明は、このような実状に鑑みてなされ、電源電圧の低電圧化を図ると共に、低スタンバイ電流化を図ることが可能な半導体装置を提供することを目的とする。また、本発明は、メモリセルの動作時の安定性確保と、スタンバイ時の消費電力の低減という二つの課題を同時に達成することが可能なメモリ用半導体装置を提供することを目的とする。また、本発明は、上述の目的を達成するための具体的な回路を有する半導体装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点の半導体装置は、基板側拡散層内に形成された素子側拡散層に対して、基板側拡散層を浅く順方向バイアスとしている。具体的には、基板側拡散層であるP型ウェルの電位を接地電位より0.1～0.4V高くバイアスしたり、基板側拡散層であるN型ウェルの電位を接地電位より0.1～0.4V低くバイアスすれば良い。本発明の第1の観点では、基板側拡散層の電位を、スタンバイ時には、素子側拡散層と同電位または逆バイアスに切り替える切り替え手段を有することが好ましい。

【0015】また、本発明の第2の観点の半導体装置は、基板側拡散層の電位を、動作時には接地電位とし、スタンバイ時には負電位にバイアスする負電位発生手段および切り替え手段を有する。上記負電位発生手段は、

ピルトイントンポテンシャルを利用して負電位を発生することもできる。ピルトイントンポテンシャルを発生させるための具体的構造としては、基板側拡散層を、所定電位にバイアスされた第1の導電領域と、この第1の導電領域中に形成され、電位が固定されていない第2の導電領域とで構成し、第2の導電領域内に素子側拡散層を形成すれば良い。そして、第2の導電領域に対して、電位を固定する状態と、電位を固定しない浮遊電位の状態とに切り替える切り替え手段を接続する。素子側拡散層は、たとえばSRAMのメモリセル用拡散層である。

【0016】本発明の第3～第5の観点の半導体装置は、基板側拡散層の電位を、動作時には接地電位とし、スタンバイ時には負電圧にバイアスするための切り替え手段が、動作時において、ゲート電極に電源電圧以上の電圧が印加されたトランジスタにより接地電位に接続されるトランジスタを有することを特徴とする。また好適には、上記ゲート電極に少なくとも動作時に上記ゲート電極の電位が電源電圧になるまで上記ゲート電極と電源間に電流を逃がすための電流パスが設けられたことを特徴とする。

【0017】

【作用】本発明の第1の観点に係る半導体装置では、素子側拡散層に対して基板側拡散層を浅く順方向バイアスすることにより、トランジスタのしきい値電圧V_{th}を可変にすることが可能になる。たとえば、基板側拡散層であるP型ウェルの電位を接地電位より0.1～0.4V高くバイアスすることで、前記S値は劣化するが、トランジスタのV_{th}を低くすることができる。これによりトランジスタ動作時の安定性が増大する。また、切り替え手段を用い、スタンバイ時には、基板バイアスを加えないように構成すれば、トランジスタのV_{th}は上昇すると共に、基板バイアス発生回路での消費電流の増加の心配もない。このような作用は、基板側拡散層であるN型ウェルの電位を接地電位より0.1～0.4V低く順方向バイアスした場合も同様である。

【0018】また、本発明の第2の観点では、トランジスタのS値を小さくし急峻なスイッチング特性を得る方法として、基板に対して負のバイアスを印加する負電位発生手段を設ける。この手段では、負電位発生手段での消費電流が大きいので、スタンバイ電流を問題とするSRAMでは使いにくいおそれもあるが、十分に低消費電力の負電位発生手段を用いれば、S値を小さく抑えられるだけでなく、基板効果も抑えられるので、有効な手段である。たとえば、負電位発生手段として、ピルトイントンポテンシャルを利用して負電位を発生させる手段を採用すれば、消費電力の軽減を図ることが可能である。

【0019】また、本発明の第3～第6の観点では、半導体撮像装置の低電圧化に伴うMOSトランジスタの低しきい値電圧化における、低スタンバイ電流化を実現するための回路構成を以下のように実現する。スタンバイ

時には第1のトランジスタのソース・基板間に電位差を設けることにより、そのしきい値電圧の絶対値を高くしてオフ時のリーク電流（サブスレッショルド電流）を低減する。

【0020】第1のトランジスタのソースおよび基板にそれぞれ第2のMOSトランジスタのドレインおよびソースを接続する。第2のMOSトランジスタは、半導体装置の活性化時（被選択時）にオンする。第2のMOSトランジスタは、オンする際にゲートにバイアス信号が印加され、この結果第1のMOSトランジスタのソース・基板間が接続されて同電位となり、第1のMOSトランジスタは通常の動作を行う。ここで、ブートストラップ回路等を用いて第2のMOSトランジスタのゲートに印加するバイアス信号の電圧振幅を電源電圧よりも大きくすることにより、第2のMOSトランジスタのドレイン電流を大きくしてスタンバイ時から活性時への第内部の動作状態の遷移がより速く行われるようにする。

【0021】

【実施例】以下、本発明の一実施例に係る半導体装置について、図面を参照しつつ詳細に説明する。

【0022】図1は本発明の一実施例に係る半導体装置の概略構成図、図2は基板バイアス効果を示すグラフ、図3は基板バイアスに対するダイオード電流の影響を示すグラフ、図4はSRAM用メモリセルの等価回路図、図5はSRAM用メモリセルの動作安定性を示すバタフライプロット図、図6、7は図1に示す正電圧発生回路の回路例を示す回路図、図8は本発明の他の実施例に係る半導体装置の概略構成図、図9は本発明のさらにその他の実施例に係る半導体装置の概略構成図、図10は図9に示す実施例のビルトインポテンシャルを説明するエネルギー・バンド図である。

【0023】まず、本発明の第1の観点に係る実施例について説明する。図1に示す本発明の第1の観点に係る実施例では、たとえば単結晶シリコン基板などで構成される半導体基板2の表面に、基板側拡散層であるPウェル4およびNウェル6が形成してある。また、半導体基板2の表面には、たとえばLOCOS法により形成される選択酸化素子分離領域8が形成してある。

【0024】本実施例では、Pウェル4の表面には、素子側拡散層であるn⁺拡散層12、14が形成してあり、これら拡散層12、14とゲート電極20とが、NMOSトランジスタ21を構成している。本実施例では、拡散層12が、トランジスタのドレインとなり、拡散層14がソースとなる。ソースとなる拡散層14は、接地電位に接続してある。

【0025】Nウェル6の表面には、素子側拡散層と成るP⁺拡散層16が形成してあると共に、電源電圧V_{dd}を印加するためのn⁺拡散層18が形成してある。Pウェル4の表面には、素子形成用の拡散層12、14とは別個に、取り出し電極用のp⁺拡散層10が形成してあ

る。従来では、このp⁺拡散層10は、直接接地してあったが、本実施例では、図示するように、切り替え手段としての切り替えスイッチ素子22、24に接続してある。

【0026】一方の切り替えスイッチ素子24は、正電圧発生回路26に対して接続してあり、切り替え信号Φ₁が入力された場合に、正電圧発生回路26からの正電圧がPウェル4に対して印加される。また、他方の切り替えスイッチ素子22は、接地電位に接続してあり、反転切り替え信号/Φ₁が入力された場合に、Pウェル4の電位が接地電位となる。これら切り替えスイッチ素子22、24は、たとえばNMOSトランジスタで構成される。

【0027】次に、本実施例に係るNMOSトランジスタ21の作用について説明する。Pウェル4に印加される電位を-0.5から+0.5Vまで0.25V単位で変化させた場合のゲート電圧に対するドレイン電流の変化特性（I_d-V_g特性）を図2に示す。

【0028】図2に示すように、トランジスタのI_d-V_g特性は、Pウェル4に対して負電位が印加されている状態では、その負電位を大きくするほど、特性曲線は、ゲート電圧のプラス側にシフトする（基板バイアス効果）。

【0029】また、Pウェル4に対して正電位が印加すれば、その正電位を大きくするほど、特性曲線は、ゲート電圧のマイナス側にシフトする。しかしながら、Pウェル4に対して正電位を印加すると、Pウェル4とn⁺拡散層との間に順方向バイアスが印加される。したがって、従来では、Pウェル4に対して正電位を印加させる構造の半導体装置は開発されていなかった。本実施例では、図3に示すように、基板側拡散層であるPウェル4に対する正電位の印加（基板バイアス）が0.3V程度までであるならば、順バイアスによるダイオード電流がほとんど生じないことに着目し、Pウェル4に対し、正電位発生回路26から正電位を印加する。

【0030】Pウェル4に対し、正電位発生回路26から正電位を印加すると、NMOSトランジスタ21のしきい値電圧V_{th}は小さくなる。たとえばトランジスタのしきい値電圧を、ドレイン電流が1μAの点として求めると、Pウェル4が0Vの際に、V_{th}が0.53Vであり、Pウェル4が0.25Vの時に0.42Vである。したがって、基板バイアスの切り替えを行なうことで、0.11VのV_{th}の差異を実現できる。一方、Pウェル4に対して上記と同一条件でバイアスした場合には、トランジスタのリーク電流（ゲート電圧が0V）は、それぞれ1pAと40pAであり、Pウェル4に対して正電位をバイアスした場合の方がリークが大きくなる。

【0031】ここで、図1に示すNMOSトランジスタ21を、図4に示すSRAMのメモリセル用駆動トランジスタT_nおよびワードトランジスタT_wとして用いた

実施例について説明する。図1に示すNMOSトランジスタ21をSRAM用として用いる場合には、図1に示すスイッチ素子22, 24による切り替えは、切り替え信号 Φ_A および反転切り替え信号/ Φ_A を用い、メモリセルの動作中には、切り替え信号 Φ_A をハイレベル(H)にし、メモリセルのスタンバイ状態では、切り替え信号 Φ_A をローレベル(L)にする。そうすることにより、メモリセルの動作中には、Pウェル4に対して0.1~0.4Vの正電位がバイアスされ、スタンバイ状態では、Pウェル4は接地電位に接続される。

【0032】なお、図4中、符号 T_{rd} は負荷トランジスタ、 V_{cc} は電源電圧、 V_{th} はワードトランジスタ T_w の

$$V_{ccmin} = V_{thw} + \gamma_w \cdot V_{thd}$$

【0034】上記式(1)中、 V_{thw} はワードトランジスタのしきい値電圧を示し、 V_{thd} は駆動トランジスタのしきい値電圧を示す。また、 γ_w は、ワードトランジスタの基板バイアス係数を示す。

【0035】この式(1)より、 $\gamma_w = 1.5$ とすると、Pウェル4が0Vの時に、安定な動作を行なう最低電圧 V_{ccmin} は、1.33Vであり、Pウェルが+0.25Vの時には、最低電圧 V_{ccmin} は、1.05Vになる。

【0036】したがって、Pウェル4に対して正電位+0.25Vを印加することで、メモリセルの動作最低電圧 V_{ccmin} が、約0.3V程度低減できることが証明される。

【0037】一方、データの書き込み動作時には、図4に示すように、たとえば記憶ノードHへHデータが書き込まれるが、その際には、ビット線bの電位からワードトランジスタ T_w のしきい値電圧 V_{th} だけ降下した電圧が書き込まれることから、この場合にも、ワードトランジスタのしきい値電圧は低いほど好ましい。また、ワードトランジスタが形成されるPウェル4の電位が高いほど、バックゲートバイアス降下が小さいため、書き込み電圧を高くすることができ、有利である。

【0038】また、メモリセルがスタンバイ状態では、図4に示すように、メモリセルを流れる電流は、Hノード側の駆動トランジスタ T_{rd} を流れるリーク電流と、Lノード側の駆動トランジスタ T_{rd} を流れるリーク電流との和で与えられる。

【0039】スタンバイ状態では、メモリセルを流れる電流はできるだけ小さい方が望ましいので、駆動トランジスタ T_{rd} を流れるリーク電流は、できるだけ小さいことが望ましい。前述したように、本実施例では、スタンバイ時には、Pウェル4の電位を接地電位(0V)に切り換えることから、Pウェル4に対して正電位(+0.25V)をバイアスしている状態に比較し、たとえばリーク電流を40pAから1pAまで約1/40に低減することができる。

【0040】したがって、本実施例では、図1に示すN

* ゲートに印加される電圧である。図4に示すメモリセルの動作の安定性は、図5に示すメモリセル特性の二つの曲線で囲まれたスタティックノイズマージンSNM1の大きさで表わすことができる。このマージンSNM1の面積が大きいほど、メモリセルは安定な動作(データの読み出し)をする。SNC1は、電源電圧 V_{cc} に対して依存性を有し、 V_{cc} を小さくしてSNC1=0となる点を V_{ccmin} で表わすと、理想的には、前記したような下記の式(1)という関係が得られる。

10 【0033】

【数3】

*

… (1)

※ MOSトランジスタ21を図4に示すSRAM用メモリセルの駆動トランジスタ T_{rd} およびワードトランジスタ T_w として用い、メモリセルの動作中には、Pウェル4に対して0.1~0.4Vの正電位をバイアスし、スタンバイ状態では、Pウェル4を接地電位に接続することで、低電圧化での安定動作と、スタンバイ状態での低消費電力化とを実現することができる。

【0041】なお、本実施例では、図1に示す正電圧発生回路26を構成する回路は特に限定されないが、たとえば図6に示す定電圧源回路30を例示することができる。この定電圧源回路30では、電源電圧 V_{cc} に対してNMOSトランジスタ31, 32, 33およびキャパシタ34を直列に接続し、キャパシタ34に対して並列に抵抗35を接続することで、NMOSトランジスタ31, 32, 33の V_{th} による電圧降下を利用し、正電圧 V_{ref} を発生させている。この正電圧 V_{ref} をそのまま

20 図1に示すPウェル4に対してバイアスすることもできるが、好ましくは、図6(B)に示す複数のMOSトランジスタ38~39で構成してあるアンプ40を介在させ、安定な電源としてPウェル4へ供給する。たとえば図6に示す V_{cc} が2.0Vであり、トランジスタ31, 32, 33の V_{th} が0.6Vである場合には、Pウェルへの供給電圧は、0.2Vとなる。なお、アンプ40を用いるのは、Pウェルへの供給電圧の変動を防止するためである。

【0042】また、図1に示す正電圧発生回路26を構成するその他の回路として、図7に示す定電圧回路42を例示することができる。この定電圧回路42では、電源電圧 V_{cc} に対してMOSトランジスタ43, 44および定電流源45を直列に接続し、MOSトランジスタ44および定電流源45に対して並列にキャパシタ46を接続し、その接続部から電圧をPウェルへ出力する。この回路にも図6(B)に示すアンプを接続することができる。

【0043】本実施例では、メモリセルのスタンバイ状態と動作状態とで、Pウェル4への電位を、切り替え信号 Φ_A で駆動されるスイッチ素子22, 24で切り換える

るよう構成したが、この方式は本発明では本質的なものではなく、切り替え手段としては種々の回路を用いることができる。

【0044】以上説明した本発明の第1の観点に係る実施例では、ワードトランジスタおよび駆動トランジスタがN MOSトランジスタで構成されたSRAMについて説明したが、同様なメモリは、電位のかけ方を逆にすることと、PMOSトランジスタで構成することも可能である。その場合には、PMOSトランジスタはNウェルに形成され、Nウェルの電位は、電源電圧Vccより僅かに小さな値に設定することで、PMOSトランジスタのV_{th}を小さくすることができる。

【0045】さらに、本発明の第1の観点では、SRAMに対してのみ適用されるものではなく、その他の半導体装置に対しても適用することが可能である。なぜなら、本発明の第1の観点に係る手法では、前記したSRAMに特有の作用効果以外に、ドレインの空乏層の伸びを抑制する効果があるので、ショートチャネル効果を抑制し、寸法バラツキによるV_{th}変動も小さくすることができる。また、PMOSが形成されるNウェルへの適用と併せて、論理回路の高速化に対しても有効である。

【0046】次に、本発明の第2の観点に係る実施例について説明する。本実施例では、図8に示すように、半導体基板2の表面に、基板側拡散層であるPウェル50を形成し、このPウェル50の表面に、素子側拡散層であるn⁺拡散層51、52が形成しており、これら拡散層51、52とゲート電極53とが、N MOSトランジスタ58を構成している。Pウェル50の表面には、素子形成用の拡散層51、52とは別個に、取り出し電極用のp⁺拡散層54が形成してある。従来では、このp⁺拡散層54は、直接接地してあったが、本実施例では、図示するように、切り替え手段としての切り替えスイッチ素子55、56に接続してある。

【0047】一方の切り替えスイッチ素子56は、たとえばデプレッションPMOSトランジスタで構成され、負電圧発生回路57に対して接続してあり、切り替え信号Φ_{BS}がLOWレベルの場合にオンし、負電圧発生回路57からの負電圧が、p⁺拡散層54を介してPウェル50に対して印加される。また、他方の切り替えスイッチ素子55は、接地電位に接続しており、たとえばNMOSトランジスタで構成してある。切り替え信号Φ_{BS}がLOWレベルの場合には、オフとなり、HIGHレベルの場合にオンとなり、Pウェル4の電位が接地電位に切り替わる。なお、切り替え信号Φ_{BS}がHIGHレベルの場合には、デプレッションPMOSトランジスタ56は、オフとなる。また、負電圧発生回路57から印加される負電位は、特に限定されないが、たとえば-2V程度である。

【0048】本実施例では、Pウェル50の表面に、多数のメモリセル用N MOSトランジスタ58をアレイ状

に形成し、SRAMのメモリセルを構成し、SRAMのスタンバイ時と、動作時とで、切り替え信号Φ_{BS}を用いて、Pウェル50に対して印加される電位を、負電位（スタンバイ時）と接地電位（動作時）とに切り換える。

【0049】MOSトランジスタは、図2にも示すように、基板バイアス（Pウェル50に対して印加される電位）が負になると、しきい値V_{th}電圧が高くなり、基板バイアスが0になるとしきい値電圧V_{th}が低くなる。したがって、SRAM用メモリセルトランジスタ58が形成されたPウェル50の基板バイアスを、スタンバイ時に負とし、動作時に接地電位となるように切り換えることで、スタンバイ時にリーク電流を減少させて低消費電力化を図り、動作時には低電圧化での安定動作を実現することができる。

【0050】なお、本発明では、セル用トランジスタのスタンバイ状態では、そのトランジスタが形成してあるウェル領域を負バイアスとし、動作時には接地状態とする観点から、負電圧発生回路57、スイッチング素子55、56およびその他の構成を種々に改変することができ、上述した実施例に限定されない。

【0051】図9は、本発明の第2の観点に係る実施例の変形例を示し、セル用トランジスタを構成するn⁺拡散層62が形成されるPウェル61に対してバイアスするための負電位を、ビルトインポテンシャルを利用して発生させている。すなわち、半導体基板2の表面に、まずNウェル60を形成する。このNウェル60の表面に、セル用トランジスタが形成されることになるPウェル61を形成する。そして、Pウェル61の表面に、メモリセル用トランジスタの拡散層となるn⁺拡散層62を形成する。

【0052】半導体基板2、Nウェル60およびn⁺拡散層62は、接地電位に接続し、Pウェル61には、スイッチング素子65を介して接地電位に接続する。スイッチング素子65が開いた状態では、Pウェル61はフローティング状態となる。この状態でのウェル60、61および拡散層62のエネルギーーバンド図を図10に示す。図10中において、左側がn⁺拡散層62のエネルギーーバンド図、中央がPウェル61のエネルギーーバンド図、右側がNウェル60のエネルギーーバンド図である。図10に示すように、Pウェル61には、ビルトインポテンシャルqV_{th}の発生により、負電位が印加される。このビルトインポテンシャルによる負電位V_{th}は、たとえば-0.4~-0.7V程度である。

【0053】本実施例では、セル用トランジスタのスタンバイ時には、スイッチング素子65をオフとし、Pウェル61をフローティング状態とし、ビルトインポテンシャルによりPウェル61に対して負電位をバイアスする。また、セル用トランジスタの動作時には、スイッチング素子65をオンとし、Pウェル61の電位を接地電

位とする。

【0054】本実施例では、スタンバイ時に、ビルトインポテンシャルを利用してPウェル61に対して負電位をバイアスすることから、Pウェル61内に形成されたメモリセル用トランジスタのしきい値V_{th}電圧を、基板バイアス効果により上昇させることができ、トランジスタのサブスレッシュホールドリークを抑え、セルのスタンバイ電流を小さくすることが可能になる。また、特に本実施例では、負電位の発生手段として、ビルトインポテンシャルを利用しているので、電力消費も低減できる。

【0055】一方、セル用トランジスタの動作時には、Pウェル61がスイッチング素子65を介して接地されるので、動作時でのトランジスタのV_{th}が低下し、低電圧下でのデータ書き込み特性および読み出し特性、すなわち動作時での安定性が増大し、低電圧動作が可能になる。

【0056】なお、本発明の第1および第2の観点の実施例に示した技術は、ビルトインポテンシャルを利用してウェルの電位を制御する技術であり、上述した実施例に限定されず、本発明の範囲内で種々に改変することができる。

【0057】以下、本発明の第3の観点に係る実施例を説明する。本実施例の電圧印加回路30は、N型基板、Pウェル構造の半導体装置において実現される回路である。電圧印加回路30の第1のPウェル領域300に作られたトランジスタQ1は、上述の第1のトランジスタに相当する。つまり、基板に相当するPウェル300の電圧をトランジスタQ1のソースの電圧よりも低くすることにより、トランジスタQ1のサブスレッシュホールド電流を低減している。また、トランジスタQ2は、上述の第2のトランジスタに相当する。つまり、図1を参照して分かるように、トランジスタQ2のドレインは電圧V_{ee}の電源に接続され、トランジスタQ2のソースはトランジスタQ1の基板に接続されている。

【0058】図11は、本発明の第3の観点に係る実施例における電圧印加回路30の構成を示す図である。図11において、Q1～Q3、Q5～Q8、Q10、Q11はN型MOSトランジスタ、Q4、Q9はP型MOSトランジスタ、INV1～INV3はNOTゲート回路、C1、C2はコンデンサ、n₁～n₃は電圧印加回路30の内部ノード、n_{well}は電圧印加回路30のPウェル300のノード、V_{neg} (V_{neg} < 0) は負の電源電圧、V_{ee} (V_{ee} > 0) は正の電源電圧、V_{ee} (V_{ee} = 0) はグラウンド(接地)電位を示す。

【0059】なお、負の電源電圧V_{neg}は、例えば電圧印加回路30が適用される半導体装置に備えられたチャージポンプ回路(図示せず)から供給され、正の電源電圧V_{ee}および接地電圧V_{ee}はそれぞれ、電圧印加回路30が適用される半導体装置の正電源用および接地電源

用の電源端子から供給される電源の電圧である。また、NOT回路INV1、INV2には電圧V_{ee}の正電源と電圧V_{ee}のグラウンド電源が、NOT回路INV3には電圧V_{ee}の正電源と電圧V_{ee}の負電源が供給されている。従って、NOT回路INV1～INV3の出力信号の電圧は、それぞれの電源電圧の範囲で変化する。

【0060】以下、電圧印加回路30の回路接続を説明する。電圧印加回路30が適用される半導体装置を選択する正論理のチップイネーブル信号Φ_{el}は、NOT回路

INV1の入力端子およびトランジスタQ4のゲートに入力される。NOT回路INV1の出力は、NOT回路INV2、INV3の入力端子、トランジスタQ9、Q10のソース、および、トランジスタQ2、Q3のゲートに接続される。NOT回路INV2の出力は、コンデンサC1の一端に接続され、コンデンサC1を介してトランジスタQ6のゲートとソース、および、トランジスタQ5のドレインに接続される。NOT回路INV3の出力は、トランジスタQ11のソースに接続されている。

【0061】トランジスタQ1のバックゲートは電圧印加回路30のPウェルに接続され、トランジスタQ1のドレインは電圧V_{ee}の電源に接続される。トランジスタQ2のソースは電圧V_{ee}の電源に接続され、トランジスタQ2のゲートはトランジスタQ7のドレイン、トランジスタQ8のソース、コンデンサC2の他端、および、トランジスタQ9、Q10のゲートに接続される。トランジスタQ3のソースはトランジスタQ2のドレイン、Pウェルに接続される。トランジスタQ4のソースはトランジスタQ5のソースに接続され、トランジスタQ4のドレインは電圧V_{ee}に接続される。

【0062】トランジスタQ5のゲートは電圧V_{ee}に接続され、トランジスタQ5のソースはトランジスタQ4のソースに接続され、トランジスタQ5のドレインはコンデンサC1の他端、および、トランジスタQ6のゲートとソースに接続される。トランジスタQ6のゲートとソースは、コンデンサC1の他端およびトランジスタQ5のドレインに接続される。トランジスタQ7のソースはトランジスタQ6のドレインに接続され、トランジスタQ7のゲートはコンデンサC2の一端およびトランジ

40 斯タQ11のドレインに接続され、トランジスタQ7のドレインは、コンデンサC2の他端、トランジスタQ2、Q9、Q10のゲート、および、トランジスタQ8のソースに接続される。

【0063】トランジスタQ8のソースはトランジスタQ7のドレイン、トランジスタQ2、Q9、Q10のゲート、および、コンデンサC2の他端に接続され、トランジスタQ8のゲートはNOT回路INV1の出力端子、NOT回路INV2、3の入力端子、トランジスタQ3のゲート、および、トランジスタQ9、Q10のソースに接続され、トランジスタQ3のドレインは電圧V

V_{neg} の電源に接続される。トランジスタ Q9 のドレインは電圧 V_{ee} の電源に接続され、トランジスタ Q9 のゲートはトランジスタ Q2, Q10 のゲート、コンデンサ C2 の他端、トランジスタ Q8 のソース、および、トランジスタ Q7 のドレインに接続され、トランジスタ Q9 のソースは NOT 回路 INV1 の出力端子、NOT 回路 INV2, 3 の入力端子、トランジスタ Q3, Q8 のゲート、および、トランジスタ Q10 のソースに接続される。

【0064】トランジスタ Q10 のゲートは、トランジスタ Q2, Q9 のゲート、コンデンサ C2 の他端、トランジスタ Q8 のソース、および、トランジスタ Q7 のドレインに接続され、トランジスタ Q10 のソースはトランジスタ Q9 のソースは NOT 回路 INV1 の出力端子、NOT 回路 INV2, 3 の入力端子、トランジスタ Q3, Q8 のゲート、および、トランジスタ Q9 のソースに接続され、トランジスタ Q10 のドレインは電圧 V_{neg} の電源に接続される。トランジスタ Q11 のゲートは電圧 V_{ee} の電源に接続され、トランジスタ Q11 のドレインはトランジスタ Q7 のゲート、および、コンデンサ C2 の一端に接続され、トランジスタ Q11 のソースは NOT 回路 INV2 の出力端子に接続される。

【0065】上述の各部分の内、NOT 回路 INV1, INV2、コンデンサ C1、および、トランジスタ Q4 ~ Q7 はブートストラップ回路 302 を構成しており、電圧 V_{ee} を昇圧して電圧 V_{H} (≈ 2 V_{ee}) を発生する。なお、トランジスタ Q5, Q11 は、P 型 MOS トランジスタ Q4, Q9 が高電圧が印加された場合にラッチアップを生じやすいので、これらのラッチアップを防止するために設けられたものである。また、トランジスタ Q10 は、NOT 回路 INV1 の出力信号の論理値が 0 の場合にノード n_1 を電圧 V_{neg} まで引き下げる役割を果たす。

【0066】以下、電圧印加回路 30 の各部分の動作を説明する。信号 Φ_{α} は正論理であり、信号 Φ_{α} の論理値が 1 (電圧 $H \approx V_{\text{ee}}$) である場合に電圧印加回路 30 が適用される半導体装置が活性化し、信号 Φ_{α} が論理値 0 (電圧 $L \approx V_{\text{ee}}$) である場合に電圧印加回路 30 が適用される半導体装置が不活性化する (スタンバイ状態になる)。信号 Φ_{α} が論理値 0 である場合、電圧印加回路 30 の各部分は以下のような状態になる。

【0067】

【表 1】信号 Φ_{α} が論理値 0 の定常状態において、
(1) トランジスタ Q4 はオン状態 (導通状態) となる。
(1-1) ノード n_3 は電圧 V_{ee} となり、コンデンサ C1 のノード 3 側には正の電荷が蓄積される。
(1-1-1) トランジスタ Q6 はオン状態となる。
(2) NOT 回路 INV1 の出力信号は論理値 1 となる。

(2-1) トランジスタ Q8 はオン状態になる。

(2-1-1) ノード n_4 は電圧 V_{neg} となる。

(2-2) トランジスタ Q3 はオン状態になる。

(2-3) NOT 回路 INV2 の出力信号は論理値 0 (≈ V_{ee}) となる。

(2-3-1) ノード n_2 の電圧は V_{ee} となる。

(2-4) NOT 回路 INV3 の出力信号は論理値 0 (≈ V_{neg}) となる。

(2-4-1) トランジスタ Q7 はオフ状態となる。

10 但し、(1) 等の記号は因果関係をも示し、例えば(1-1) は(1) に示された事象が原因となって発生する事象を示している。

【0068】上述のように、信号 Φ_{α} が論理値 0 の場合、トランジスタ Q3 がオン状態となるので、P ウェル 300 には電圧 V_{neg} が印加されることになる。従って、電圧印加回路 30 が適用される半導体装置が不活性化されている間はトランジスタ Q1 のサブスレッシュホールド電流を低減することができる。

【0069】ここで、電圧印加回路 30 が適用される半導体装置が活性化される場合には、信号 Φ_{α} が論理値 1 となった場合には、電圧印加回路 30 の各部は以下のような状態になる。

【0070】

【表 2】信号 Φ_{α} が論理値 1 の定常状態において、

(1) トランジスタ Q4 はオフ状態 (非導通状態) となる。
(2) NOT 回路 INV1 の出力信号は論理値 0 となる。
(2-1) トランジスタ Q8 はオフ状態になる。
(2-2) トランジスタ Q3 はオフ状態になる。
(2-3) NOT 回路 INV2 の出力信号は論理値 1 (≈ V_{ee}) となる。
(2-3-1) ノード n_2 は電圧 V_{ee} となり、ノード n_3 の電圧は信号 Φ_{α} が論理値 0 から論理値 1 に変化した直後の電圧 V_{H} に保たれる。
(2-4) NOT 回路 INV3 の出力信号は論理値 1 (≈ V_{ee}) となる。
(2-4-1) トランジスタ Q7 はオン状態となる。
(2-4-1-1) ノード n_3 はほぼノード n_4 と同電位となる。

40 (2-4-1-1-1) トランジスタ Q2, Q10 がオン状態に、トランジスタ Q9 がオフ状態になり、ノード n_1 が電圧 V_{neg} となる。

但し、(1) 等の記号は因果関係をも示し、例えば(2-1) は(2) に示された事象が原因となって発生する事象を示している。

【0071】トランジスタ Q2 には正電源の電圧 V_{ee} よりも高い電圧 V_{H} が印加されることになり、トランジスタ Q2 の電流駆動力が向上する。従って、P ウェル 300 の電位をトランジスタ Q2 に単に電圧 V_{ee} を印加する

場合に比べて、Pウェル300をより速く電圧V_{ee}にすることができる。上述のように、信号Φ_αが論理値1の場合、トランジスタQ2がオン状態となるので、Pウェル300がすばやく電圧V_{ee}となる。従って、電圧印加回路30が適用される半導体装置は短時間の内にスタンバイ状態から通常の動作状態に遷移することができる。

【0072】次に、図12を参照して電圧印加回路30における信号Φ_αの論理値の変化の直前および直後の各部分の電圧の変化を説明する。なお、図12に示す各記号は、図11に示した電圧印加回路32の同一記号を付して示した各部分の電圧を示す（以下、図14、図16に同じ）。図12に示すように、チップセレクト信号Φ_αが論理値0から論理値1（電圧V_{ee}から電圧V_{ee}）に変化すると、ノードn1が電圧V_{reg}に変化し、ノードn3が電圧V_hに変化し、ノードn2が電圧V_{ee}に変化する。以上の変化によりトランジスタQ2を介して接地電圧V_{ee}の電源とPウェル300とが接続され、Pウェル300は短時間の内に電圧V_{ee}となる。上述のように、電圧印加回路30が適用される半導体装置は、信号Φ_αが論理値0から1に変化した後に速やかにスタンバイ状態から動作状態に状態遷移する。

【0073】以下、本発明の第4の観点に係る実施例を説明する。図13は、本発明の第4の観点に係る実施例における電圧印加回路32の構成を示す図である。電圧印加回路32の各部分は、第3の観点に係る実施例における電圧印加回路30に同一符号を付した各部分に同じである。電圧印加回路32は、トランジスタQ2の劣化を防止するために、ノードn4と正電源との間を抵抗Rを介して接続してある点で第3の観点に係る実施例に示した電圧印加回路30と異なっている。

【0074】本発明の第3の観点に係る実施例における電圧印加回路30は、電圧印加回路30が適用される半導体装置が信号Φ_αにより選択されている間ずっと、ノードn4と正電源との間を抵抗Rを介して接続してある点で第3の観点に係る実施例に示した電圧印加回路30と異なっている。

$$I_s = \{5 - (-1)\} / R < 0.1$$

従って、R > 6 MΩ

但し、I_sは抵抗Rに流れる電流、Rは抵抗Rの抵抗値であり、V_{ee} = 5 V、V_{reg} = -1 Vとした場合の値である。

【0078】例えば、ノードn3、n4が電圧V_{ee}になった場合に、すでにPウェル300が電圧V_{ee}になっていることを条件として、抵抗Rの値を最適化してPウェル300の速やかな電圧V_{ee}への変化、および、トランジスタQ2の酸化膜破壊防止の両立を図ることが可能である。

【0079】以上のように構成することにより、電圧印加回路32は第3の観点に係る実施例に示した電圧印加回路30と同等の機能を実現することができる。さらに、電圧印加回路32が適用される半導体装置が活性化してPウェル300が電圧V_{ee}になった後、速やかに

*ノードn4が電圧V_{ee}となるので、トランジスタQ2の酸化膜が劣化するという懸念がある。本発明の第4の観点に係る実施例における電圧印加回路32は、上述の電圧印加回路30のトランジスタQ2への懸念を解消するためのものである。

【0075】以下、図14を参照して電圧印加回路32における信号Φ_αの論理値の変化の直前および直後の各部分の電圧の変化を説明する。電圧印加回路32は、基本的には電圧印加回路30と同じ動作を行う。つまり、図14に示すように、チップセレクト信号Φ_αが論理値0から論理値1（電圧V_{ee}から電圧V_{ee}）に変化すると、ノードn1が電圧V_{reg}に変化し、ノードn3が電圧V_hに変化し、ノードn2が電圧V_{ee}に変化する。以上の変化によりトランジスタQ2を介して接地電圧V_{ee}の電源とPウェル300とが接続され、Pウェル300は短時間の内に電圧V_{ee}となる。

【0076】さらに時間の経過とともに、ノードn4から抵抗Rを介して電流が正電源（V_{ee}）に流れるので、ノードn3およびノードn4の電圧が次第に電圧V_{ee}に近づいてゆく。ここで、電圧V_{reg}は、上述のように電圧印加回路32が適用される半導体装置のチャージポンプで発生される。このようなチャージポンプの電流容量は通常0.1 μA程度である。チャージポンプの電流容量をこれ以上に増加することは可能であるが、この電流はスタンバイ時に消費されるので、チャージポンプの電流容量の増大はスタンバイ時の消費電力を小さくしたいという要請に反することになる。従って、チャージポンプの電流容量をこのままとした場合、抵抗Rの抵抗値を低くすると電圧V_{reg}の発生が困難になるので、抵抗Rの抵抗値は、下式のように6 MΩ以上とする必要がある。

【0077】

【数4】

… (4)

*ノードn4が電圧V_{ee}に戻るので、トランジスタQ2の劣化が防止可能であり、従って半導体装置の信頼性を高めることができる。

【0080】以下、本発明の第5の観点に係る実施例を説明する。図15は、本発明の第5の観点に係る実施例における電圧印加回路34の構成を示す図である。以下に説明しない電圧印加回路34の各部分は、第3および第4の観点に係る実施例に示した電圧印加回路30、32の同一符号または記号を付した各部分に同じである。電圧印加回路34は、本発明の第4の観点に係る実施例に示した電圧印加回路32と基本的には同一の動作をする。ただし、電圧印加回路34が適用される半導体装置の活性化後により速やかにノードn4の電圧を電圧V_{ee}とするために、電圧印加回路32における抵抗Rを遅延

回路340、トランジスタQ11、Q12、および、コンデンサC3から構成される放電回路342に置換してある。

【0081】遅延回路340は、例えばNOT回路を偶数個直列に接続して、あるいは、クロック信号を用いて同期的に信号 Φ_a を遅延する回路である。遅延回路340は、信号 Φ_a 電圧印加回路34が適用される半導体装置のPウェル300が電圧 V_{ss} から電圧 V_{dd} に変化するために充分な時間(図16に示す遅延時間 T_d)だけ遅延してトランジスタQ12のソースに供給する。なお、遅延回路340は、少なくとも信号 Φ_a の立ち上がりのみを遅延させればよい。

【0082】トランジスタQ12のソースは電圧印加回路340の出力端子に接続され、トランジスタQ12のドレインにはコンデンサC3の一端、および、トランジスタQ11のゲートが接続され、トランジスタQ12のゲートは電圧 V_{dd} の電源に接続される。トランジスタQ12、および、コンデンサC3は、トランジスタQ11のラッチアップ防止のために設けられている。トランジスタQ11のソースは電圧 V_{dd} の電源に接続され、トランジスタQ11のゲートはコンデンサC3の一端、および、トランジスタQ2、Q9、Q10のゲート、トランジスタQ7のドレイン、トランジスタQ8のソース、および、コンデンサC2の他端(ノードn4)に接続される。

【0083】以下、図16を参照して電圧印加回路34における信号 Φ_a の論理値の変化の直前および直後の各部分の電圧の変化を説明する。電圧印加回路34が適用される半導体装置がスタンバイの場合、つまり信号 Φ_a が論理値0の場合、トランジスタQ11はオフ状態となっており、トランジスタQ11には電流が流れない。チップセレクト信号 Φ_a が論理値0から論理値1(電圧 V_{ss} から電圧 V_{dd})に変化すると、ノードn1が電圧 V_{ss} に変化し、ノードn3が電圧 V_{dd} に変化し、ノードn2が電圧 V_{dd} に変化する。以上の変化によりトランジスタQ2を介して接地電圧 V_{ss} の電源とPウェル300とが接続され、Pウェル300は短時間の内に電圧 V_{ss} となる。

【0084】信号 Φ_a が論理値1になったのち、遅延回路340が信号 Φ_a に与える遅延時間 T_d が経過すると、トランジスタQ11の電圧は電圧 V_{dd} となり、オン状態になる。従って、トランジスタQ11を介して、ノードn4から電流が電圧 V_{dd} の電源に流れ、速やかにノードn4の電圧は電圧 V_{dd} となる。以上のように電圧印加回路34を構成することにより、電圧 V_{ss} を発生するチャージポンプの電流容量を小さくしつつトランジスタQ2のゲート等の絶縁破壊を有效地に防止することができる。

【0085】以下、本発明の第6の観点に係る実施例を説明する。図17は、本発明の第6の観点に係る実施例

における半導体装置40の構成を説明する図である。半導体装置40の各部分において、第3～第5の観点に係る実施例に示した電圧印加回路30～34と同一符号または記号を付した各部分は同一である。半導体装置40は、例えばSRAMであって、メモリセルが電気的に分離可能なn個のPウェル300a～300nに分割、配置されたものである。半導体装置40は、このPウェル300a～300nにそれぞれ対応して電圧印加回路30～34のいずれかが個別に設けられた構成になっている。

【0086】図17において、信号 Φ_{n1} ～ Φ_{n4} はそれぞれ、Pウェル300a～300nに設けられたトランジスタQ1a～Q1nを含む回路を選択する正論理の信号である。信号 Φ_a は第6の観点に係る実施例においては、半導体装置40全体を選択する信号として用いられている。信号 Φ_{n1} ～ Φ_{n4} と信号 Φ_a とは、AND回路402a～402nにおいて論理積がとられ、各Pウェル300a～300nに対応する電圧印加回路30～34のいずれかに入力される。

【0087】各Pウェル300a～300nに対応する電圧印加回路30～34のいずれかは、それぞれ入力されるAND回路402a～402nの出力信号が論理値0の場合に対応する各Pウェル300a～300nを電圧 V_{ss} としてスタンバイ状態にする。各Pウェル300a～300nに対応する電圧印加回路30～34のいずれかは、それぞれ入力されるAND回路402a～402nの出力信号が論理値0から1に変化した場合に上述のように対応するPウェル300a～300nを電圧 V_{dd} として活性化させる。以上のように半導体装置40を構成することにより、半導体装置40に設けられた複数のウェルごとにスタンバイ状態と活性化状態との状態遷移を行うことができる。従って、不要なウェルを活性化することができないので、半導体装置40の消費電力をより小さくすることができる。

【0088】以上述べたように、本発明の第3～第5の観点に係る実施例に示した電圧印加回路によれば、電源電圧およびしきい値電圧を低電圧化した半導体装置の動作速度および動作の安定性の維持とスタンバイ時の消費電力の低減を両立することができる。また、スタンバイ状態から活性化状態への状態遷移に要する時間を短縮できる。また、本発明の第6の観点に係る実施例に示した半導体装置によれば、特に高密度化およびウェルの多分割化がなされた半導体装置における低消費電力化をはかることが可能である。なお、本発明の第3～第6の観点の実施例に示した電圧印加回路および半導体装置は、ビルトインポテンシャルを利用してウェルの電位を制御する具体的な回路を示したものである。従って、上述した実施例に限定されず、例えば各実施例に示した変形例のように本発明の範囲内で種々に改変することができる。

【0089】

【発明の効果】以上説明してきたように、本発明によれば、MOSトランジスタが形成された半導体装置において、電源電圧の低電圧化を図ることが可能になると共に、低スタンバイ電流化を図ることが可能になる。また、本発明を用いてSRAMのメモリセルを構成すれば、メモリセルの動作時の安定性確保と、スタンバイ時の消費電力の低減という二つの課題を同時に達成することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の概略構成図である。

【図2】基板バイアス効果を示すグラフである。

【図3】基板バイアスに対するダイオード電流の影響を示すグラフである。

【図4】SRAM用メモリセルの等価回路図である。

【図5】SRAM用メモリセルの動作安定性を示すバタフライプロット図である。

【図6】図1に示す正電圧発生回路の回路例を示す回路図である。

【図7】図1に示す正電圧発生回路のその他の回路例を示す回路図である。

【図8】本発明の他の実施例に係る半導体装置の概略構成図である。

【図9】本発明のさらにその他の実施例に係る半導体装置の概略構成図である。

【図10】図9に示す実施例のビルトインポテンシャルを説明するエネルギー-band図である。

【図11】本発明の第3の観点に係る実施例における電圧印加回路の構成を示す図である。

【図12】図11に示した本発明の電圧印加回路における信号 Φ_{AO} の論理値の変化の直前および直後の各部分の電圧の変化を説明する。

【図13】本発明の第4の観点に係る実施例における電

* 壓印加回路の構成を示す図である。

【図14】図13に示した本発明の電圧印加回路における信号 Φ_{AO} の論理値の変化の直前および直後の各部分の電圧の変化を説明する。

【図15】本発明の第5の観点に係る実施例における電圧印加回路の構成を示す図である。

【図16】図15に示した本発明の電圧印加回路における信号 Φ_{AO} の論理値の変化の直前および直後の各部分の電圧の変化を説明する。

10 【図17】本発明の第6の観点に係る実施例における半導体装置の構成を説明する図である。

【符号の説明】

2 … 半導体基板

4, 50, 61 … Pウェル (基板側拡散層)

6, 60 … Nウェル

10, 54 … p⁺拡散層

12, 14, 51, 52, 62 … n⁺拡散層 (素子側拡散層)

21, 58 … トランジスタ

22, 24, 55, 56, 65 … スイッチング素子 (切り替え手段)

26 … 正電圧発生回路

57 … 負電圧発生回路

30, 32, 34 … 電圧印加回路

300 … Pウェル

302 … ブートストラップ回路

342 … 放電回路

40 … 半導体装置

402 … AND回路

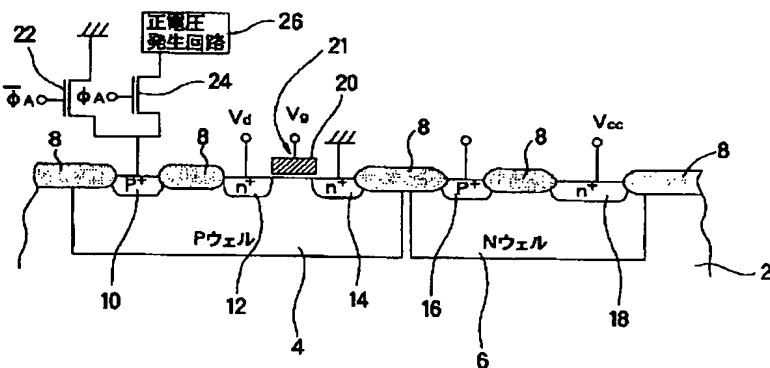
30 Q1 ~ Q12 … トランジスタ

INV … NOT回路

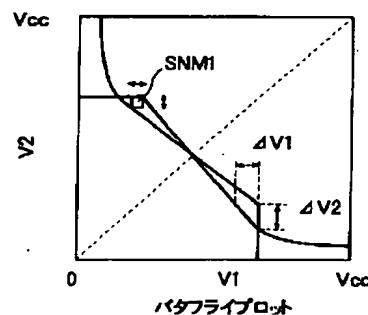
R … 抵抗

C1 ~ C3 … コンデンサ

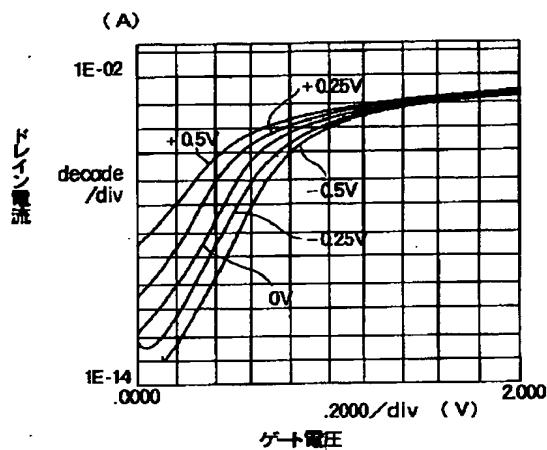
【図1】



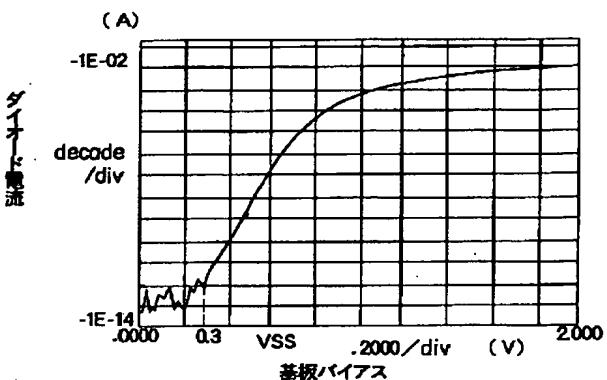
【図5】



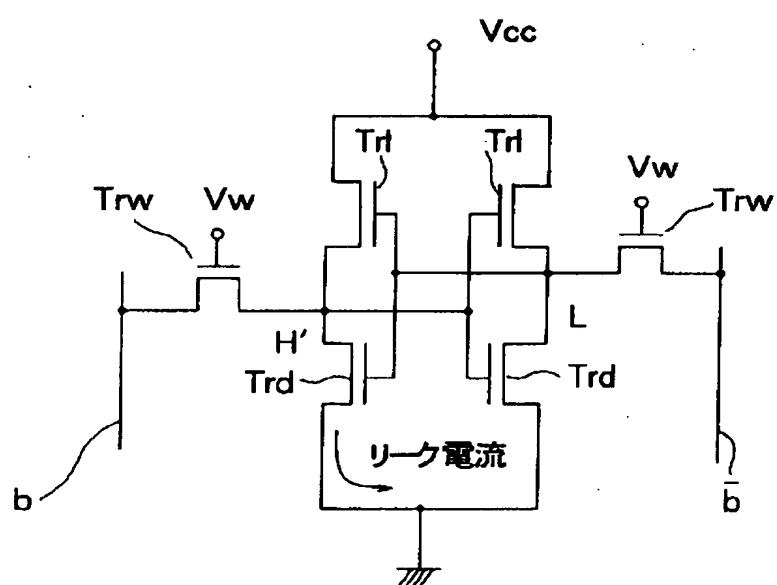
【図2】



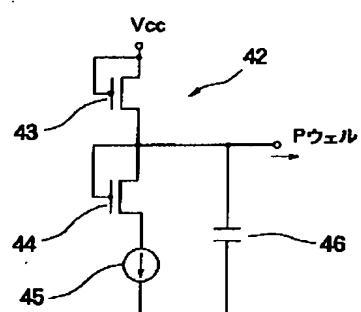
【図3】



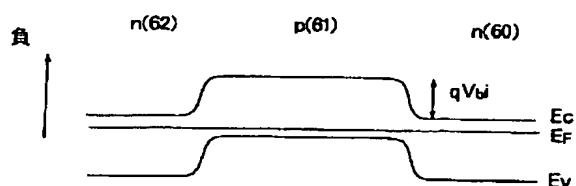
【図4】



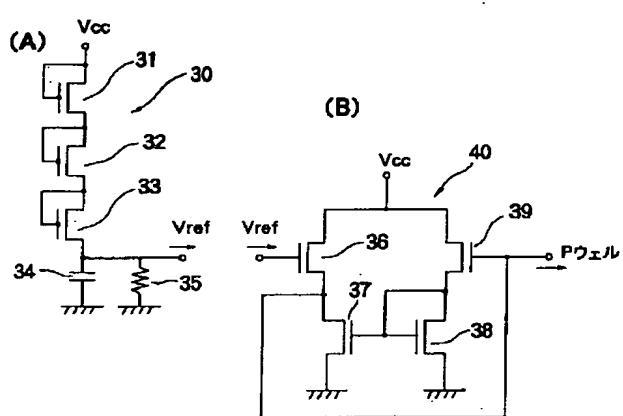
【図7】



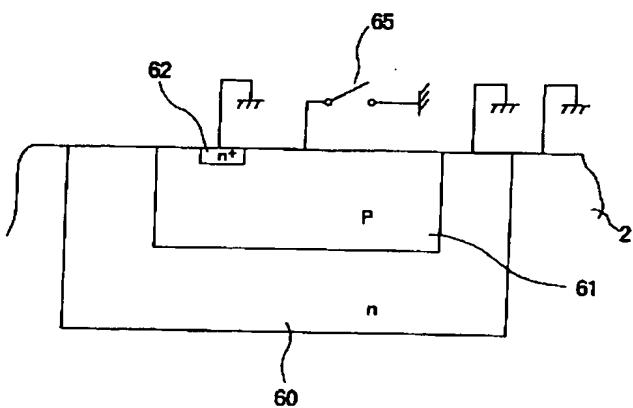
【図10】



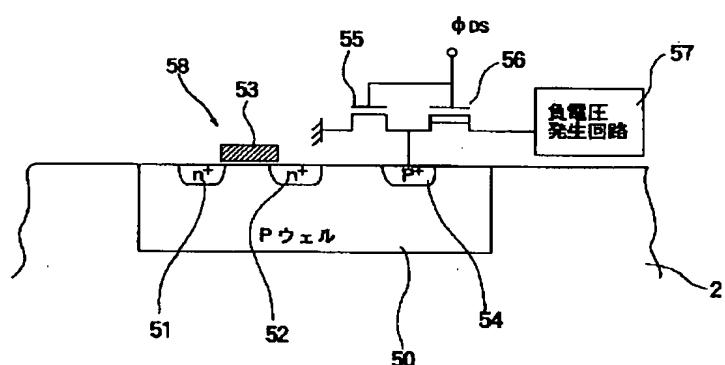
【図6】



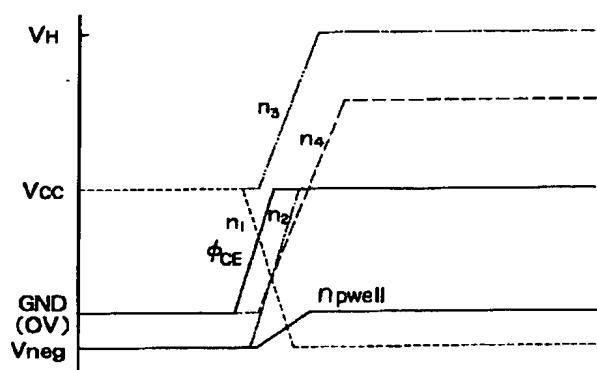
【図9】



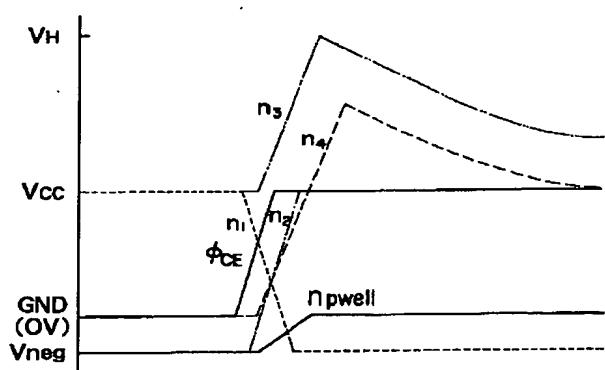
【図8】



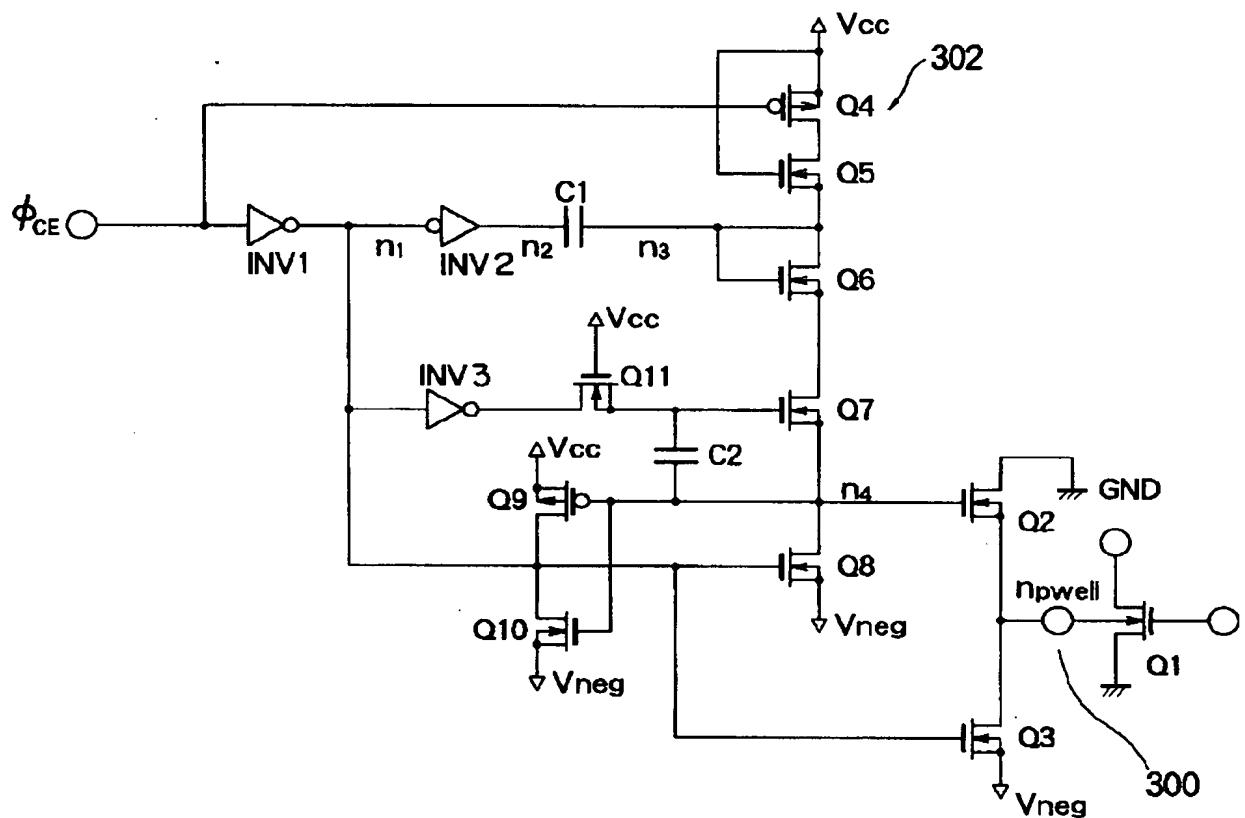
【図12】



【図14】

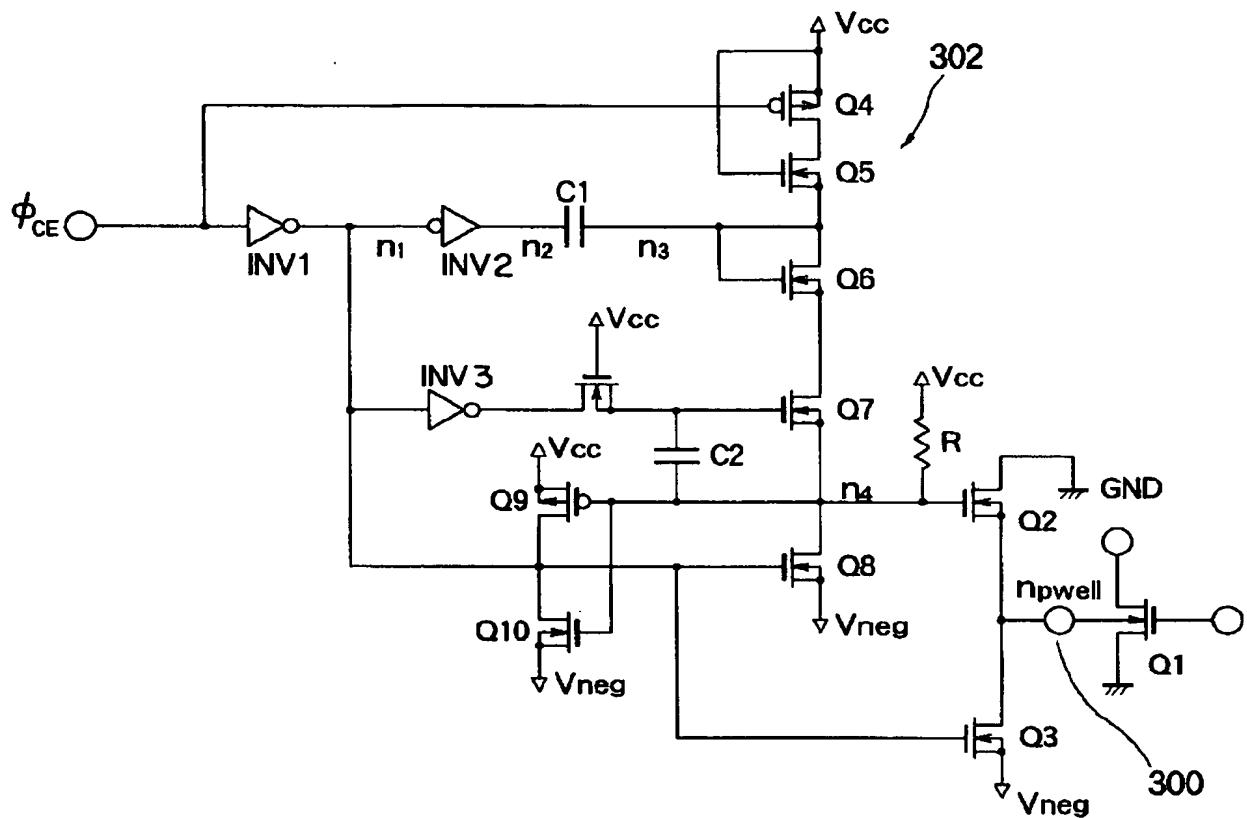


【図11】



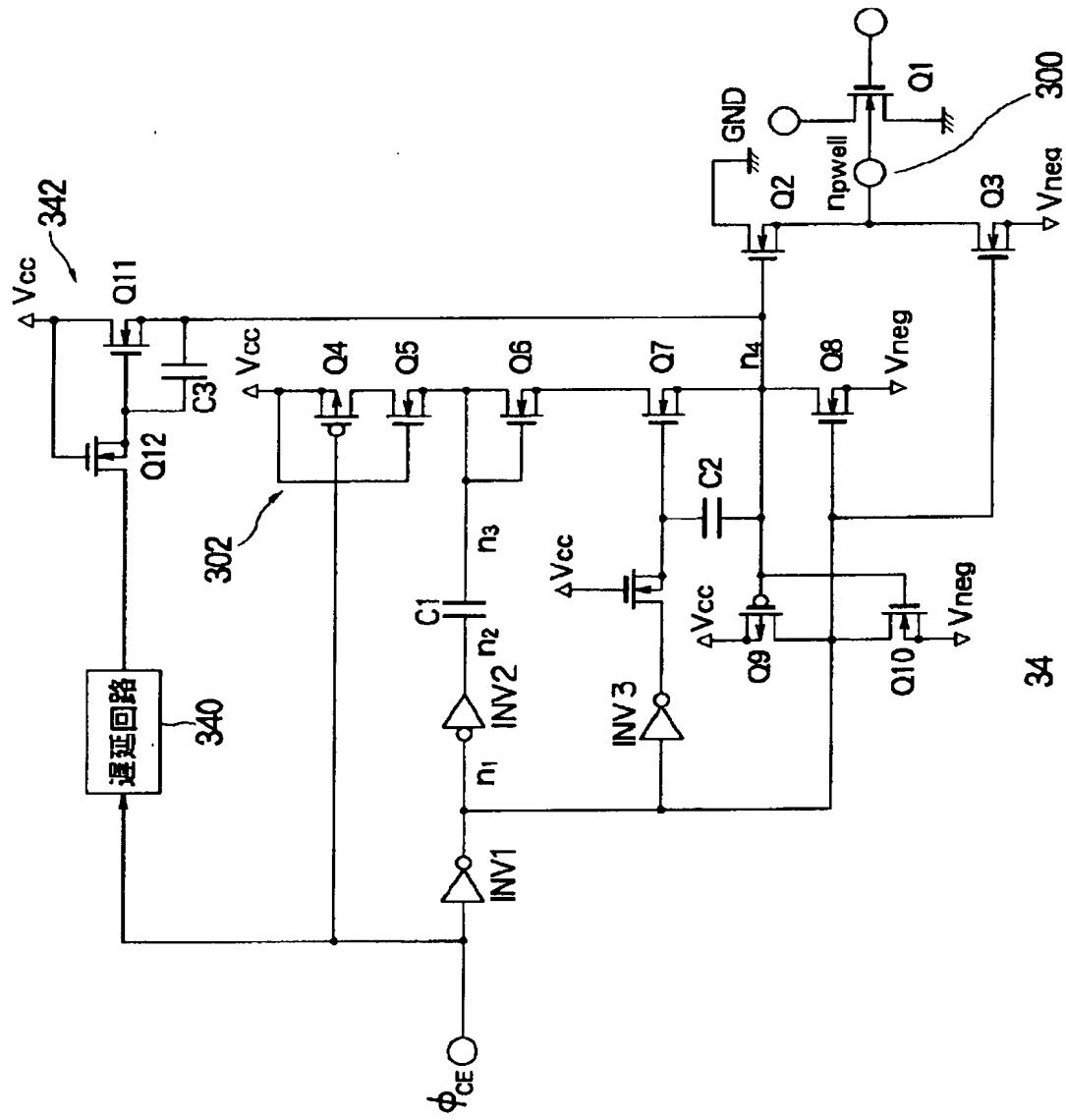
30

【図13】

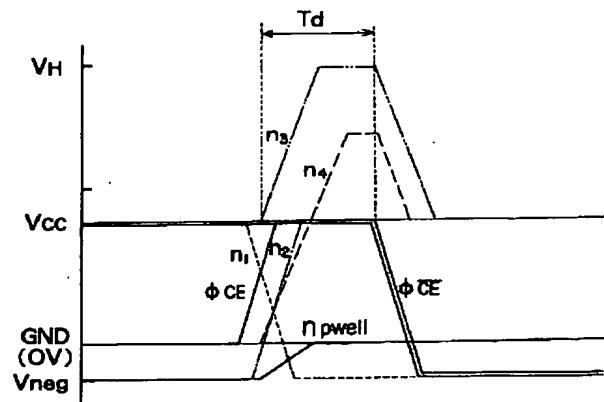


32

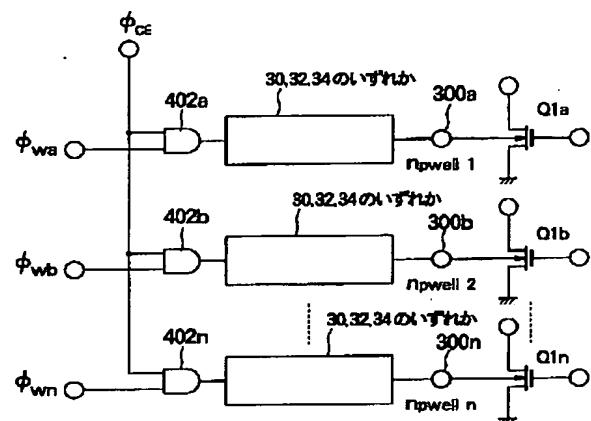
【図15】



【図16】



【図17】



40

フロントページの続き

(51) Int. Cl. 5

H O 1 L 27/10

識別記号

4 8 1

府内整理番号

7210-4M

F I

技術表示箇所